

引用格式:高以杰,张玉冰,甘杰,等. 宽带微功率高速双模 AGC 关键电路及算法设计[J]. 微电子学与计算机,2022,39(3): 106-112. [GAO Y J, ZHANG Y B, GAN J, et al. Key Circuit and Algorithm Design of Broadband Micro-power High Speed Dual Mode AGC [J]. Microelectronics & Computer, 2022, 39(3): 106-112.]DOI: 10. 19304/J. ISSN1000-7180. 2021. 0789

宽带微功率高速双模 AGC 关键电路及算法设计

高以杰, 张玉冰, 甘 杰, 赵 旭, 姚瑞龙, 任敏华
(北京智芯微电子科技有限公司, 北京 100192)

摘 要: 针对宽带微功率无线通信技术(470 MHz~510 MHz)高速率、信号突发传输的特点,在设计宽带微功率射频前端芯片过程中,提出了一种去环路滤波器和去 ADC 的数模混合反馈型高速双模 AGC 设计方案(DFA-AGC), 本文对该方案的关键电路和算法进行了详细描述. 为实现 AGC 快速响应,提出了一种新型的环路电压环路恒跨导轨到轨输入和改进型电流镜负载推挽式输出结构来提升转换速率,并设计了一种全对称差分结构的全波包络检波器来减少差分信号包络检波时间. 同时,考虑到实际应用场景可能的电磁干扰,设计了一种快慢锁双模自适应切换算法以实现快锁模式下信号快速跟踪和锁定,慢锁模式下有效躲避尖峰干扰. 该 AGC 采用 SMIC 40nm CMOS 工艺设计,版图尺寸约 200 μm ×140 μm . 仿真结果:快锁模式下锁定和增益稳定时间小于 10 微秒,接收增益动态范围大于 90 dB. 实际测试结果,快锁模式下稳定时间约为 9 微秒,慢锁模式下稳定时间约为 30 微秒,功耗小于 1 mW.

关键词: 宽带微功率; DFA-AGC; 恒跨导; 双模

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2022)03-0106-07

Key circuit and algorithm design of broadband micro-power high speed dual mode AGC

GAO Yijie, ZHANG Yubin, GAN Jie, ZHAO Xu, YAO Ruilong, REN Minhua

(Beijing Smart-chip Microelectronics Technology Co., Ltd. Beijing 100192, China)

Abstract: In view of the characteristics of broadband micro-power wireless communication technology (470MHz to 510MHz) with high rate and sudden signal transmission, a digital-analog hybrid feedback and high-speed dual-mode AGC(DFA-AGC) is proposed in the process of designing broadband micro-power RF front-end chip, which removed loop filter and ADC. In order to realize the rapid response of AGC, a new type of rail-to-rail input with constant transconductance voltage loop and an improved push-pull output structure with current mirror load are proposed to improve the conversion rate, and a full-wave envelope detector with a fully symmetric differential structure is designed to reduce the detection time of the differential signal envelope. . Considering the electromagnetic interference in practical application scenarios, a fast and slow locking dual-mode adaptive switching algorithm is designed to achieve fast tracking and locking in fast locking mode, and effectively avoid peak interference in slow locking mode. The AGC is designed by SMIC 40nm CMOS process. Simulation results show that the locking and gain stabilization time is less than 10 microseconds, and the dynamic range of receiving gain is greater than 90 dB. The actual test results show that the stability time in fast lock mode is about 9 microseconds, and the stability time in slow lock mode is about 30 microseconds, and the power consumption is less than 1 mW.

Key words: broadband micro-power; de-loop filter and de-ADC AGC; constant transconductance; dual mode

1 引言

宽带微功率^[1]通信作为一种新型通信技术,具有高速率、远距离、低功耗等特点,即将在智能电网、智慧城市、工业互联网等领域得到广泛应用. AGC (自动增益控制)作为宽带微功率通信芯片接收链路的关键模块,性能高低直接关系到信号接收质量,并影响接收机正常运行. 本文提出了一种基于 SMIC

40nm CMOS 工艺的高速双模自动增益控制设计方案,具有响应时间快、稳定性高、配置灵活等特点.

2 研究状态与需求分析

近年来,接收机 AGC 技术成为国内外研究热点,高性能 AGC 方案层出不穷. 目前国内外几种高性能 AGC 性能如表 1 所示.

表 1 部分现有 AGC 性能指标

Tab. 1 Some of existing AGC performance indicators

年份	来源	工艺/nm	动态范围/dB	带宽/MHz	建立时间/ μ S	电源电压/V	功耗/mW
2013	ICMTCE	180	0~62	14	8	2	7.2
2014	RFIT	180	0.2~49.3	N/A	8	1.7	5.44
2014	TCAS-II	130	10~58	10	1.2	1.2	5.16
2015	ISCAS	90	-20~20	350	0.1	1.2	3.68
2017	ECCTD	130	20~50	1.8	6.1	2.5	1.2

从表 1 可以看出,现有的 AGC 方案各有特点. 文献[2]提出了基于分段近似原理的连续检波结构的对数检波器,优点是输入信号的动态范围较大,缺点是精度较低. 文献[3]提出了基于主从结构的增益计算电路,优点是能够快速检测信号并准确计算可变增益放大器(VGA)的增益值,但电路较为复杂且增益动态范围较低. 文献[4]提出了基于采样-保持的峰值检波电路,优点是可以在不增大纹波前提下快速复位峰值检波器的结果,从而加快检测速度,缺点是检波电路功耗较大. 从表 1 可以看出,建立时间较小的快速 AGC 需要较大的功耗,动态范围较大的建立时间也会较长.

宽带微功率通信技术基于自身的特点,对 AGC 响应时间和增益动态范围均有较高的要求. 由于宽带微功率单边带码片速率约为 2 Mbps,前导码最少为 8 bit,假如采用 512 倍固定扩频,这样一个前导码时间约为 256 μ S,通信时要求在最多 1/20 个前导码时间即 12.8 μ S 内 AGC 完成信号检测和锁定,保留一定的裕量,要求 AGC 的稳定时间小于 10 μ S. 考虑到实际接收信号动态范围超过 130 dB 以及解调信噪比要求,AGC 模块的动态范围应不小于 90 dB. 性能统计如表 2 所示. 经分析,现有 AGC 方案不能完全满足宽带微功率 AGC 技术要求.

表 2 宽带微功率 AGC 性能指标要求

Tab. 2 broadband micro-power AGC performance requirements

项目	指标
增益动态范围	>90 dB
稳定时间	<10 μ S
最大直流功耗	<1 mW
带宽	4 MHz
工艺	SMIC 40 nm CMOS

ADC AGC, DFA-AGC),该架构既能获得较高的增益控制精度,又能避免全模拟反馈 AGC 潜在的稳定性问题. 该架构如图 1 所示,由于没有环路滤波器和 ADC,可以减少芯片面积和复杂度.

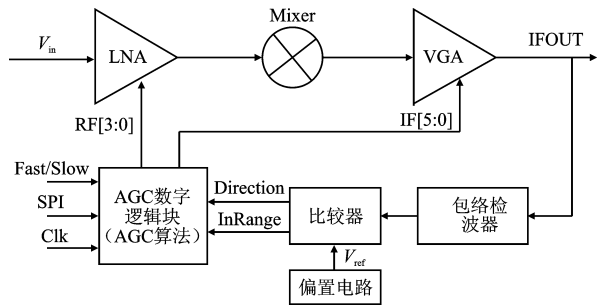


图 1 DFA-AGC 整体架构图

Fig. 1DFA-AGC overall architecture diagram

图中 DFA-AGC 架构包括模拟部分和数字部分,模拟部分有低噪放大器(LNA)、VGA、包络检波器、比较器、偏置电路;AGC 数字逻辑部分,用来运行 AGC 算法,实现快慢锁双模工作模式. 该架构工作原理为,包络检波器跟踪并采集中频信号,处理后输入到比较器,与偏置电路产生的参考电压进行比

3 总体架构及关键电路设计

3.1 总体架构设计

参考文献[5]描述了数字自动增益控制架构,本方案基于此架构,提出了一种去环路滤波器和 ADC 的数模混合反馈型 AGC 架构(de-loop filter and de-

较,比较的结果经过数字逻辑运算后输出 Direction 和 InRange 两个信号分别指明增益变化方向和信号是否在 AGC 可控范围,这两个信号送给数字信号处理模块运行 AGC 算法程序,输出 10 bit 的控制信号分别对 LNA 和 VGA 的增益进行控制,其中 4 bit 用来控制 LNA 增益,范围从 0 至 30 dB,用于粗调,另外 6 bit 用来控制 VGA 增益,范围从 0 至 63 dB,步进 1 dB,用于细调.因此,AGC 增益控制范围为 0 ~ 93 dB,满足增益范围要求.在纯模拟闭环 AGC 架构中,时间常数 τ 表达式如下:

$$\tau = \left[\frac{1}{G(V_c)} \frac{dG}{dV_c} \frac{G_m}{C} \right]^{-1}$$

式中, $G(V_c)$ 是受电压 V_c 控制的可变增益放大器增

益, G_m/C 是环路滤波器时间常数,要使 τ 为常数为一定值,则 $G(V_c)$ 与 V_c 要成指数函数关系.本方案中,由于去掉了环路滤波器,因此整个环路输入输出不再是一阶微分关系,环路的响应时间将由可变增益放大器、包络检波器和 AGC 算法联合决定.本方案对这三个关键模块进行了创新设计从而实现了快速双模 AGC.

3.2 关键电路设计

针对 AGC 快速响应特性需求,本方案创新地采用环路电压恒跨导轨到轨输入和改进型推挽式输出结构对传统可变增益放大器核心结构 OPA 进行了改进,电路如图 2 所示.

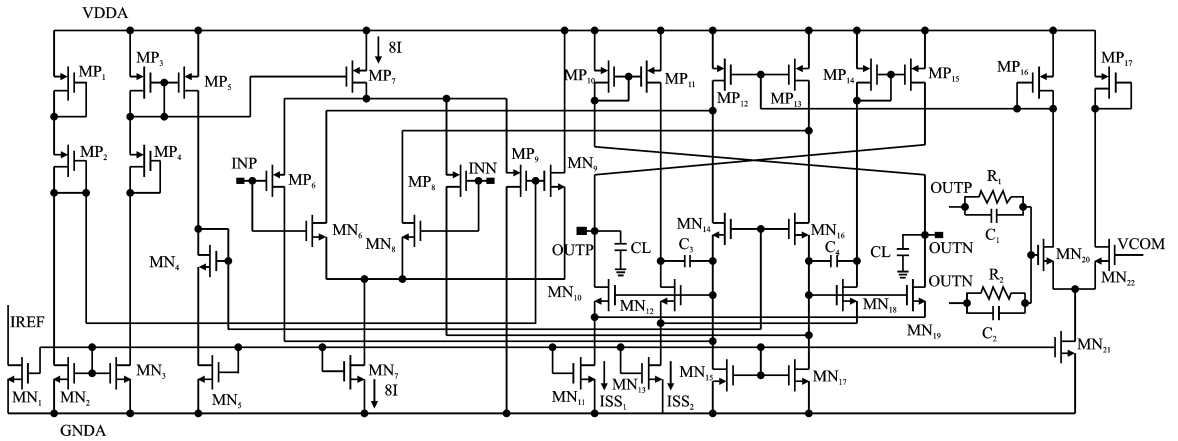


图 2 可变增益放大器 OPA 原理图

Fig. 2 Variable gain amplifier OPA schematic

图中,输入级 MP9 和 MN9 与差分对 MP6/MN6 和 MP8/MN8 构成电压环路结构,有:

$$V_{gsP6,P8} + V_{gsN6,N8} = V_{gsP9} + V_{gsN9}$$

设置 MP9、MN9 的 W/L 分别为 MN6/MN8 和 MP6/MP8 的 6 倍,同时 P 沟道的 W/L 比 N 沟道的 W/L 大 2 倍,以保证:

$$\mu_P C_{OX} \left(\frac{W}{L} \right)_P = \mu_N C_{OX} \left(\frac{W}{L} \right)_N$$

MOS 管工作在强反型时,有:

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_N C_{OX} W/L}} + V_{TH}$$

因此,

$$\begin{aligned} \sqrt{I_{sP6,P8}} + \sqrt{I_{sN6,N8}} &= \sqrt{I_{sP9}} + \sqrt{I_{sN9}} \\ &= \sqrt{(8I - 2I_{sP6,P8})/6} + \sqrt{(8I - 2I_{sN6,N8})/6} \end{aligned}$$

当共模电平位于中间电平时,有:

$$I_{sP6,P8} = I_{sN6,N8} = I, I_{sP9} = I_{sN9} = 5I$$

则总跨导:

$$g_{tot} = g_P + g_N = 2\sqrt{2\mu(W/L)I}$$

由于右式为常数,从而实现了总跨导恒定输入,这是本方案 VGA 与普通轨到轨 OPA 一个明显区别.为提升 OPA 的带负载能力,实现高转换速率,利用电流镜偏置对传统推挽式输出做了改进,如图 2 所示,MP10/MP11,MP14/MP15 组成推挽式输出电流镜负载对,其转换速率为:

$$[I_{s2} + I_{s1}(W_{MP15}/W_{MP14})]/C_L$$

相比不作改进的转换速率 I_{s2}/C_L ,提升明显.

为减少差分信号检波时间,提升 AGC 响应速度,本方案提出了一种全对称结构的全波包络检波器.该方案电路设计如图 3 所示,图中左右两边分别以 IINP, QINP 和 IINN, QINN 为输入端口的半波检波电路为完全对称的结构,共同组成全波检波电路.不同于现有峰值检波电路,该电路采用充放电去二极管负反馈结构,利用电流镜负载和负反馈放大器对电容进行充放电,实现电容快速充电的同时避

免了二极管正向偏置电压降。同时,利用 M5 限制 M6 的过驱动电压,降低反馈回路增益,提升闭环稳定性。该电路实现同时检测正负两路信号峰值,提升了检波速度。该检波器工作原理是,假定 INP 输入正弦信号,则负半周期时晶体管 M6 导通,对 A 点进行快速放电,由于 M6 的放电电流远大于 M7 的充电电流,因此使得 A 点电压迅速下降到 INP 的最低电位点,放电速度为:

$$(I_{Dsat,M6} + I_{Dsat,M15} - I_{D,M7}) / C_1 \approx$$

$$(I_{Dsat,M6} + I_{Dsat,M15}) / C_1$$

$I_{Dsat,M6}$, $I_{Dsat,M15}$ 分别为 M6 与 M15 漏极饱和电

流, $I_{D,M7}$ 为 M7 漏极电流。正半周期时,晶体管 M6 关闭, M7 微电流对 A 点进行持续充电,使得 A 点电位缓慢上升,但是由于充电电流太小,在正半周期内 A 点电位只能上升极小的幅度,然后结束正半周期,进入下一个负半周期的放电过程;因此在稳定工作时, A 点的电位维持在 INP 输入信号的最低电位点附近波动,也即 A 点电位跟随了 INP 信号的最低电位包络,完成了半波包络检波的功能,通过图 3 中左右两个半波检波器的配合,完成了全波包络检波的功能。

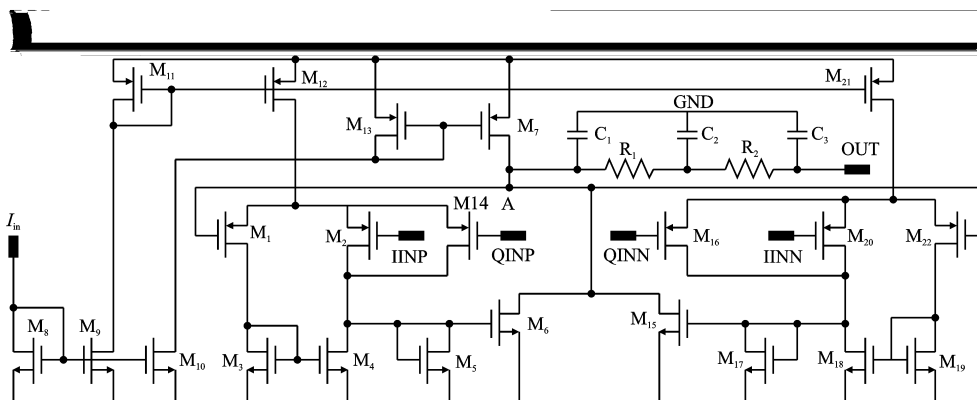


图3 包络检波器电路图

Fig. 3 envelope detector circuit diagram

3.3 双模算法设计

在前面放大器和检波器改进基础上,考虑到宽带微功率实际应用场景可能的电磁干扰,设计了一种快慢锁双模自适应切换算法以实现快锁模式下信号的快速锁定,慢锁模式下有效躲避尖峰干扰。该算法的特点是并行对射频和中频增益进行调整,利用快速二分法搜索算法能快速锁定信号。该算法在 DFA-AGC 的数字部分运行,快锁模式对信号进行快速跟踪并锁定,快锁模式稳定时间为微秒级,锁定后自动进入慢锁模式,慢锁稳定时间为数十微秒级。慢锁后,如信号幅度突变超过 ± 10 dB, AGC 失锁,将自动切换回快锁模式, AGC 算法重新调整射频和中频增益大小直至信号重新锁定,锁定后再自动进入慢锁模式。慢锁时,如信号突变没有超过 ± 10 dB, AGC 会使用更长的测量时间来决定增益跳变,这样能有效避开突发窄带干扰。快锁模式采用二分法搜索算法^[6],搜索时间快,检测到有用信号后,要求 10 μ S 内完成锁定。而慢锁模式采用线性搜索算法^[7],锁定增益精度高。本方案提出的快慢锁双模自适应切换算法流程如图 4 所示。

图 4 中,算法并行执行射频和中频增益控制。算法首先检测接收机增益控制处于哪种模式,如果是固定增益模式,则直接配置射频和中频增益。如果是自动增益控制模式,则射频部分和中频部分采取的策略略有不同。射频部分首先会判断增益是否溢出,如果溢出则保持现有的射频增益控制字,如果没有溢出则继续判断是增益递增还是增益递减,射频部分采用 7 档线性搜索算法,增益范围 0~30 dB,每档 5dB。中频部分则需要判断目前是快锁还是慢锁模式,如果是慢锁则采用 64 档线性搜索算法,增益范围 0~63 dB,每档 1 dB,如果是快锁则依次执行 5 步二分法、7 步和 1 步线性搜索三个算法,确保算法的可靠性,每个搜索算法都会有输出更新中频 VGA 增益。

4 仿真结果

完成了 DFA-AGC 硬件及算法的设计后,对该 AGC 进行了整体仿真。图 5 是 AGC 瞬态响应仿真结果。

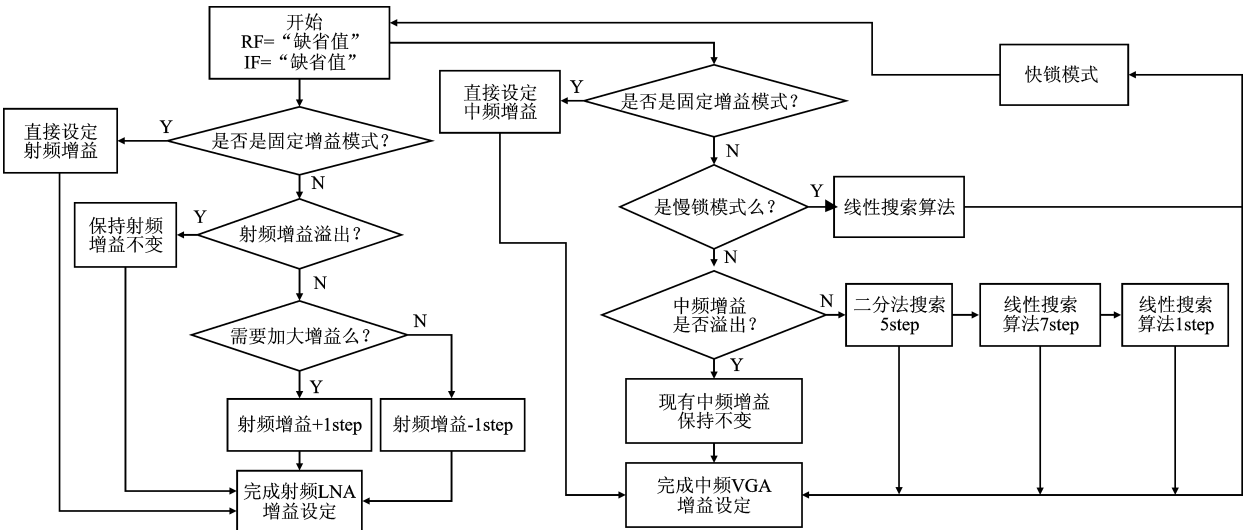


图 4 DFA-AGC 算法流程图

Fig. 4 DFA-AGC algorithm flow chart

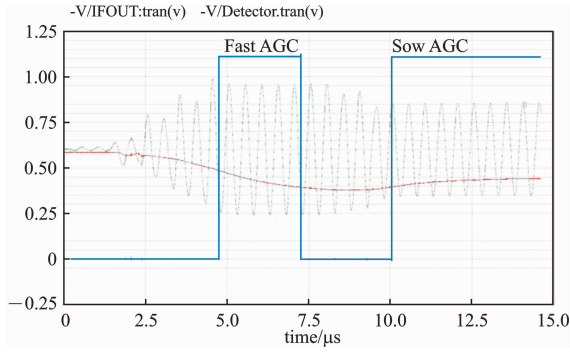


图 5 AGC 正常工作时仿真结果
Fig. 5 simulation results when AGC is working normally

此 AGC 整体满足设计要求.

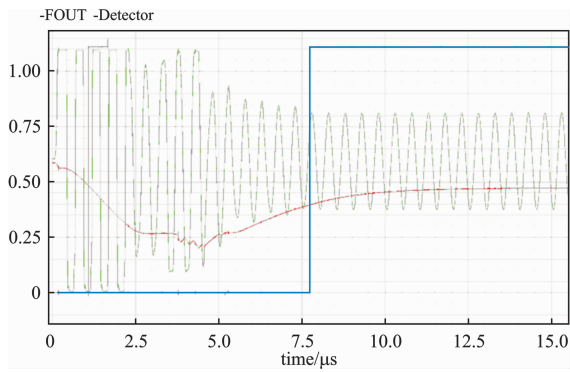


图 6 信号突然变大时 AGC 仿真结果
Fig. 6 AGC simulation results when the signal suddenly becomes large

图中绿色正弦状信号为 ADC 之前的中频信号 IFOUT,红色虚线曲线为中频包络检测信号,它始终跟踪中频信号 IFOUT 的包络,蓝色实线方波信号为中频范围指示信号,高电平时指示中频信号已经锁定.从图中可以看出,快锁的过程经历时间从 2 μ S 到 10 μ S,因此,快锁耗时大约为 8 μ S.快锁模式后,AGC 将自动切换到慢锁模式.

当接收信号突然变大时,AGC 锁定信号过程如图 6 所示.图中 0 时刻信号突然变大,1 μ S 后 AGC 检测到此变化并开启快锁模式,运行 AGC 快锁算法后,大约在 8 μ S 时完成锁定,8 μ S 后自动进入慢锁模式.从以上仿真结果可以看出,AGC 仿真稳定时间满足宽带微功率稳定时间小于 10 μ S 的要求,并由前面可知增益动态范围为 93 dB,对功耗进行了后仿,电源电压为 1.1 V 时,电流约为 0.5 mA,因此直流功耗大约为 0.55 mW,满足设计要求.因

5 版图及实测结果

AGC 版图设计如图 7 所示,采用 40 nm CMOS 工艺,版图面积约 200 μ m $\times$ 140 μ m.

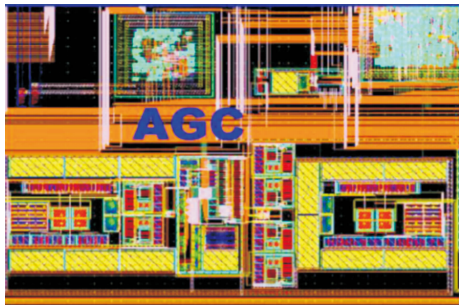


图 7 AGC 版图设计
Fig. 7 AGC layout design

图 8 和图 9 分别为流片后样片实验室测试的 AGC 快锁模式和慢锁模式时的稳定时间结果,从图中可以看出,快锁模式稳定时间约为 $9\ \mu\text{S}$,慢锁模式稳定时间约为 $30\ \mu\text{S}$. 均满足设计要求.

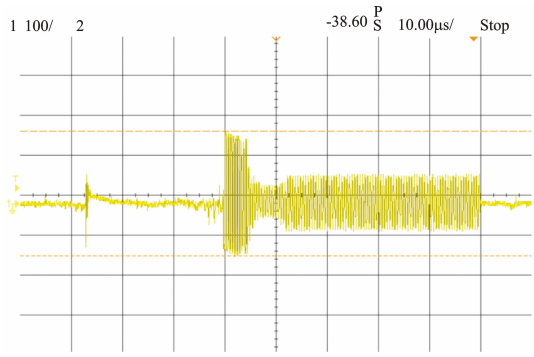


图 8 AGC 快锁稳定时间测试结果

Fig. 8 test result of AGC fast lock stability time

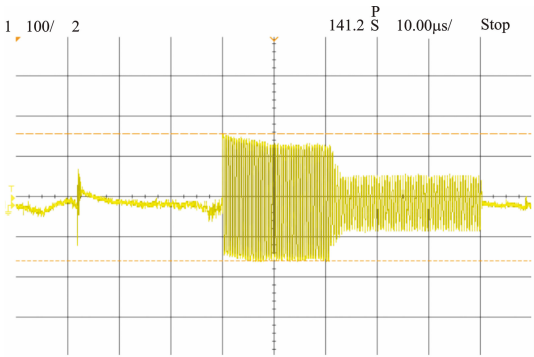


图 9 AGC 慢锁稳定时间测试结果

Fig. 9 test result of AGC slow lock stability time

6 结束语

为了实现快速双模 AGC,本方案提出了一种去环路滤波器和去 ADC 的数模混合反馈型高速双模 AGC 架构(DFA-AGC),并对对传统 OPA 放大器的输入输出电路进行了一定的改进,提升了 OPA 带负载能力和转换速率;同时,设计了一种全对称结构的全包络检波电路,减少了差分信号包络检波时间;并设计了一种快慢锁双模自适应切换算法,实现了快速跟踪信号并能有效躲避尖峰干扰. 通过后端整体仿真和实际测试,AGC 性能指标满足设计要求. 表 3 是本方案 AGC 性能与当前主流快速 AGC^[8]优缺点对比表. 本方案采用 4 MHz 带宽是基于实际应用考虑,功耗相对较低的原因是,AGC 系统数模混合架构去掉了常用的模拟环路滤波器以及 ADC/DAC 等功耗较大的模块,而采用功耗相对

较低的数字电路替代^[9].

表 3 本方案与主流快速 AGC 优劣对比表

Tab. 3 AGC con and pros comparison

指标名称	本方案	主流 AGC
增益动态范围	最大 90 dB	不超过 75 dB
稳定时间	$<10\ \mu\text{S}$	$<10\ \mu\text{S}$
最大直流功耗	$<1\ \text{mW}$	$>1.2\ \text{mW}$
带宽	4 MHz	最高 350 MHz
快慢锁双模	支持	少有支持
ADC/DAC	没有	基本都有
环路滤波器	没有	基本都有
工艺	40nm CMOS	90nm 及以上较多

参考文献:

[1] 赵栋生. 宽带微功率无线信道测量数据的分析处理[D]. 重庆: 重庆邮电大学, 2019. DOI: 10. 27675/d. cnki. geydx. 2019. 000439.
ZHAO D S. Analysis and processing of broadband Micropower wireless channel measurement data [D]. Chongqing: Chongqing University of Posts and Telecommunications, 2019. DOI: 10. 27675/d. cnki. gcydx. 2019. 000439.

[2] BYUN S. Analysis and design of CMOS received signal strength indicator[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2014, 61(10): 2970-2977. DOI: 10. 1109/TCSI. 2014. 2321201.

[3] JEON O, FOX R M, MYERS B A. Analog AGC circuitry for a CMOS WLAN receiver[J]. IEEE Journal of Solid-State Circuits, 2006, 41(10): 2291-2300. DOI: 10. 1109/JSSC. 2006. 881548.

[4] PEREZ J P A, CALVO B, CELMA S. A high-performance CMOS feedforward AGC circuit for a WLAN receiver[J]. IEEE Transactions on Industrial Electronics, 2010, 57(8): 2851-2857. DOI: 10. 1109/TIE. 2009. 2036021.

[5] 黄求振. 射频接收机中的自动增益控制[D]. 上海: 复旦大学, 2013:36-37.
HUANG Q Z. Automatic gain control in radio frequency receivers [D]. Shanghai: Fudan University, 2013:36-37.

[6] 李冬海, 周海中. 基于二分法峰值的频率搜索算法[J]. 电子信息对抗技术, 2013, 28(1): 10-12. DOI: 10. 3969/j. issn. 1674-2230. 2013. 01. 003.
LI D H, ZHOU H Z. The peak frequency search algorithm based on bisection method[J]. Electronic Information Warfare Technology, 2013, 28(1): 10-12. DOI: 10. 3969/j. issn. 1674-2230. 2013. 01. 003.

[7] 孙刘平. 一个无惩罚型两步线性搜索算法[D]. 苏州:

苏州大学, 2009. DOI: 10.7666/d.y1468744.

SUN L P. A penalty-free-type two-step line search algorithm[D]. Suzhou: Suzhou University, 2009. DOI: 10.7666/d.y1468744.

[8] 马建平, 袁晨, 袁圣越, 等. 一款应用于 UHF RFID 阅读器接收机的自动增益控制电路[J]. 微电子学与计算机, 2016, 33(1): 37-41. DOI: 10.19304/j.cnki.issn1000-7180.2016.01.041.

MA J P, YUAN C, YUAN S Y, et al. An automatic gain control circuit for UHF RFID reader receiver[J]. Microelectronics & Computer, 2016, 33(1): 37-41. DOI: 10.19304/j.cnki.issn1000-7180.2016.01.041.

[9] 黄鑫鹏. 蓝牙接收机中低功耗自动增益控制电路的设计[D]. 南京: 东南大学, 2018:11-12.

HUANG X P. The design of low power automatic gain control circuit applied to Bluetooth receiver[D]. Nan-

jing: Southeast University, 2018:11-12.

作者简介:

高以杰 男,(1976-),硕士,工程师.研究方向为射频系统设计. E-mail:gaoyijie@sgitg.sgcc.com.cn.

张玉冰 男,(1972-),博士,高级工程师.研究方向为无线通信芯片算法.

甘杰 女,(1978-),硕士,工程师.研究方向为微电子及信息技术.

赵旭 男,(1976-),博士,工程师.研究方向为无线通信芯片算法.

姚瑞龙 男,(1988-),工程师.研究方向为通信芯片应用.

任敏华 女,(1996-),硕士,工程师.研究方向为射频系统设计.